

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000000919 A
(43)Date of publication of application: 15.01.2000

(21)Application number: 1019980020861
(22)Date of filing: 05.06.1998

(71)Applicant: HYUNDAI ELECTRONICS IND. CO., LTD.
(72)Inventor: SON, YONG SEON

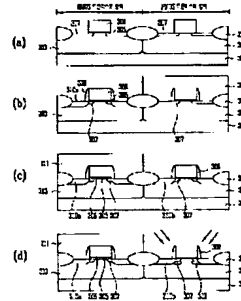
(51)Int. Cl H01L 21/336
H01L 21/82

(54) METHOD FOR MANUFACTURING CMOS TRANSISTORS

(57) Abstract:

PURPOSE: A fabrication method of CMOS transistors is provided to improve a short channel effect of NMOS and PMOS transistors by forming the NMOS having thin LDD(lightly doped drain) structure and the PMOS having double punch stopping layer.

CONSTITUTION: The method comprises the steps of forming a P-well region(303) and an N-well region(304) by ion-implanting after forming regions of an NMOS and a PMOS transistors is defined; forming a gate oxide(305) and a gate electrode(306) on a semiconductor substrate (301) and forming a lightly doped implanted region(307) by implanting N-type impurities; forming a spacer(308) at both sidewalls of the gate electrode and the gate oxide; forming a highly doped implanted region(310a) in the NMOS region and a highly doped implanted region(310b) in the PMOS region; and forming a punch stopping layer(312) in the lightly doped implanted region (310a) by implanting N-type impurities.



COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20000426)

Patent registration number (1002652270000)

Date of registration (20000612)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | |
|---|--|
| (51) Int. Cl. ⁷ H01L 21/336 H01L 21/82 | (45) 공고일자 2000년09월15일 (11) 등록번호 10-0265227 (24) 등록일자 2000년06월12일 |
| (21) 출원번호 10-1998-0020861 (22) 출원일자 1998년06월05일 | (65) 공개번호 특2000-0000919 (43) 공개일자 2000년01월15일 |
| (73) 특허권자 | 현대전자산업주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1 |
| (72) 발명자 | 손용선 경기도 성남시 분당구 마탑동 경남아파트 707-704 |
| (74) 대리인 | 신영무, 최승민 |

심사관 : **경희훈**

(54) 씨모스 트랜지스터의 제조 방법

요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 CMOS 트랜지스터의 제조 방법에 관한 것이다. 종래의 CMOS 트랜지스터를 제조하기 위한 방법중 일반적인 LOD 구조를 갖는 NMOS 트랜지스터와 LOD 이온 주입시 편치 스톱 도핑층이 형성된 PMOS 트랜지스터를 갖는 CMOS 트랜지스터는 고집적 소자에 적용할 경우 NMOS 트랜지스터 영역에 저에너지, 저농도의 이온 주입 공정을 실시해야 하지만, 이 경우 PMOS 트랜지스터의 매장 채널 영역의 N형 불순물의 농도가 낮아 편치 스톱우 특성이 급격히 떨어지는 문제가 발생된다. 또한 이와 같은 문제를 해결하기 위한 이중 편치 스톱 도핑층을 형성하는 방법은 2중 LOD를 형성하기 위한 2회의 이온 주입 마스크 공정이 추가되고, 2회의 큰 기를기를 갖도록 편치 스톱 이온 주입 공정이 추가되는 등 전체적인 공정이 복잡해지고, 생산성을 저하시키는 문제를 가지고 있다.

본 발명에서는 0.3 μ m 이하의 게이트 길이를 갖는 NMOS 및 PMOS 트랜지스터가 혼재된 CMOS 트랜지스터 구조를 갖는 소자 제조시 NMOS 트랜지스터는 극도로 얇은 LOD 구조로, PMOS 트랜지스터는 이중 편치 스톱 도핑층을 형성하여 NMOS 및 PMOS 트랜지스터의 숏 채널 이펙트를 개선할 수 있다.

도표

도3

명세서

도면의 간단한 설명

도 1은 종래의 제 1 실시 예에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 소자의 단면도.
도 2는 종래의 제 2 실시 예에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 소자의 단면도.
도 3(a) 내지 도 3(d)는 본 발명에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

- 101, 201, 301 : 반도체 기판 102, 202, 302 : 소자 분리막
- 103, 203, 303 : P-웰 영역 104, 204, 304 : N-웰 영역
- 105, 205, 305 : 게이트 산화막 106, 206, 306 : 게이트 전극
- 107, 207, 307 : 저농도 불순물 주입 영역
- 108, 208, 308 : 스페이서
- 109a 및 109b, 209a 및 209b, 310a 및 310b : 고농도 불순물 주입 영역
- 210a 및 210b, 312 : 편치 스톱 도핑층
- 309 : 제 1 감광막 패턴 311 : 제 2 감광막 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 이중 LOD 구조에 비해 공정이 단순하여 생산성을 향상시킬 수 있는 CMOS 트랜지스터의 제조 방법에 관한 것이다.

종래의 0.3 μm 이상의 게이트를 갖는 CMOS 트랜지스터의 구조는 일반적인 LOD 구조의 NMOS 트랜지스터와 LOD 이온 주입시 P-채널 펀치-스톱 도핑층이 동시에 형성된 PMOS 트랜지스터로 구성되어 있으며, 도 1에 그 단면도가 도시되어 있다.

도 1을 참조하여 종래의 CMOS 트랜지스터의 제조 방법을 설명하면 다음과 같다.

반도체 기판(101) 상부에 소자 분리막(102)을 형성하여 NMOS 트랜지스터가 형성될 영역과 PMOS 트랜지스터가 형성될 영역을 확정한다. NMOS 트랜지스터가 형성될 영역의 반도체 기판(101)내에 이온 주입 공정에 의해 P-웰 영역(103)을 형성하고, PMOS 트랜지스터가 형성될 영역의 반도체 기판(101)내에 이온 주입 공정에 의해 N-웰 영역(104)을 형성한다. NMOS 트랜지스터 및 PMOS 트랜지스터가 형성될 영역의 반도체 기판(101) 상부의 선택된 영역에 게이트 산화막(105) 및 게이트 전극(106)을 순차적으로 형성한다. 전체 구조 상부에 저농도 N형 불순물을 이온 주입하여 반도체 기판(101) 상의 선택된 영역에 저농도 불순물 주입 영역(107)을 형성하는 동시에 PMOS 트랜지스터 형성 영역에 P-채널 펀치 스톱 도핑층을 형성한다. 게이트 전극(106) 및 게이트 산화막(105) 측벽에 스페이서(108)를 형성한 후 NMOS 트랜지스터 형성 영역의 반도체 기판(101) 상에 고농도 N형 불순물을 이온 주입하여 고농도 불순물 주입 영역(109a)을 형성하고, PMOS 트랜지스터 형성 영역의 반도체 기판(101) 상에 고농도 P형 불순물을 이온 주입하여 고농도 불순물 주입 영역(109b)을 형성한다.

이러한 트랜지스터 구조에서 NMOS 트랜지스터의 경우 0.3 μm 이하의 게이트 길이에 적용하고자 할 경우 저농도 불순물 주입 영역의 접합 깊이를 0.12 μm 이하로 하여야 하고 동시에 저농도 불순물 주입 영역의 도핑 농도를 낮추어야 쇼트 채널 이펙트(short channel effect)를 방지할 수 있다.

한편, 이러한 크도로 얇은(ultra shallow) 저농도 불순물 주입 영역을 형성하기 위해서는 기존에 사용하던 이온 주입 에너지를 훨씬 낮추어서 이온 주입해야 한다. 그런데 이와 같이 저에너지, 저농도의 이온 주입 공정을 실시할 경우 PMOS 트랜지스터의 매몰 채널(buried channel) 영역의 N형 불순물의 농도 및 확산 길이가 낮아 펀치 스톱 특성 급격히 떨어지는 문제가 발생되어 0.35 μm 이하의 게이트 길이를 갖는 소자에서 문제를 발생시킨다.

이와 같은 문제를 해결하기 위해 제안된 방법을 도 2에 도시하였다. 이는 N-LOD 및 P-LOD 구조를 갖는 극도로 얇은 2중 LOD 구조의 CMOS 트랜지스터 형성 방법으로, 0.1 μm 이하의 게이트 길이를 갖는 트랜지스터를 형성할 수 있는 방법이다. 도시된 바와 같이 도 1에서 제시된 구조에서 저농도 불순물 주입 영역(207) 하부에 펀치 스톱 도핑층(210a 및 210b)이 형성된다. 그러나 이와 같은 방법은 2중 LOD를 형성하기 위한 2회의 이온 주입 마스크 공정이 추가되고, 2회의 큰 기울기를 갖도록 펀치 스톱 이온 주입 공정이 추가되는 등 전체적인 공정이 복잡해지고, 생산성을 저하시키는 문제를 가지고 있다.

본 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 전체적인 공정을 단순화시키고, 생산성을 향상시키며 0.35 μm 이하의 게이트 길이를 갖는 소자에 적용할 수 있는 CMOS 트랜지스터의 제조 방법을 제공하는 것을 목적으로 한다.

상술한 목적을 달성하기 위한 본 발명은 반도체 기판 상부에 소자 분리막을 형성하여 NMOS 및 PMOS 트랜지스터 형성 영역을 확정하고 후 상기 트랜지스터 형성 영역 각각에 이온 주입 공정에 의한 P-웰 영역 및 N-웰 영역을 각각 형성하는 단계와, 상기 반도체 기판 상부의 선택된 영역에 게이트 산화막 및 게이트 전극을 형성한 후 저농도의 N형 불순물을 전면 이온 주입하여 저농도 불순물 주입 영역을 형성하는 단계와, 상기 게이트 전극 및 게이트 산화막 측벽에 스페이서를 형성한 후 상기 NMOS 트랜지스터 형성 영역에 고농도 불순물 주입 영역을 형성하는 단계와, 상기 PMOS 트랜지스터 형성 영역에 고농도 불순물 주입 영역을 형성하는 단계와, 상기 PMOS 트랜지스터 형성 영역에 N형 불순물을 이온 주입하여 이미 형성된 저농도 불순물 주입 영역의 하부에 펀치-스톱 도핑층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

본 발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 3(a) 내지 도 3(d)는 본 발명에 따른 CMOS 트랜지스터의 제조 방법을 설명하기 위한 소자의 단면도로서, 본 발명에서는 NMOS 트랜지스터를 극도로 얇은 접합 LOD 구조로, PMOS 트랜지스터를 이중 펀치 스톱 도핑 구조로 하여 CMOS 트랜지스터를 제조한다.

도 3(a)를 참조하면, 반도체 기판(301) 상부의 선택된 영역에 소자 분리막(302)을 형성한다. NMOS 트랜지스터가 형성될 반도체 기판(301) 내에 P-웰 영역(303)을 형성하고, PMOS 트랜지스터가 형성될 반도체 기판(301) 내에 N-웰 영역(304)을 형성한다. 반도체 기판(301) 상부의 선택된 영역에 게이트 산화막(305) 및 게이트 전극(306)을 형성한다. 인(P) 또는 비소(As) 등의 저농도 N형 불순물을 저에너지로 전면 이온 주입하여 NMOS 트랜지스터 형성 영역과 PMOS 트랜지스터 형성 영역에 저농도 불순물 주입 영역(307)을 형성한다.

저농도의 불순물로 인 이온을 주입할 경우 20KeV 이하의 에너지에서 1.0E12~5E14 ions/cm²의 도우즈량으로 주입한다. 또한 저농도 불순물로 비소 이온을 주입할 경우 50KeV 이하의 에너지에서 1.0E12~5E14 ions/cm²의 도우즈량으로 주입한다.

도 3(b)를 참조하면, 게이트 전극(306) 및 게이트 산화막(305) 측벽에 스페이서(308)를 형성한 후 PMOS 트랜지스터 형성 영역 상부에 제 1 감광막 패턴(309)을 형성한다. 제 1 감광막 패턴(309)을 마스크로 비소 등의 고농도 N형 불순물을 이온 주입하여 NMOS 트랜지스터 형성 영역에 소오스 및 드레인으로 작용하는 고농도 불순물 주입 영역(310a)을 형성한다.

도 3(c)를 참조하면, 제 1 감광막 패턴(309)을 제거한 후 NMOS 트랜지스터 형성 영역에 제 2 감광막 패턴(311)을 형성한다. 제 2 감광막 패턴(311)을 마스크로 붕소 및 불소 화합물등의 고농도 P형 불순물을 이온 주입하여 PMOS 트랜지스터 형성 영역에 소오스 및 드레인으로 작용하는 고농도 불순물 주입 영역(310b)을 형성한다.

도 3(d)를 참조하면, 제 2 감광막 패턴(311)을 마스크로 PMOS 트랜지스터 형성 영역에 인 또는 비소등의 N형 불순물을 $10^{\circ} \sim 60^{\circ}$ 의 기울기(tilt)로 양방향 또는 그 이상의 방향으로 이온 주입하여 저농도 불순물 주입 영역(307)의 하부에 펀치-스톱(punch stop) 도핑층(312)을 형성한다.

펀치 스톱 도핑층(312)으로 인 이온을 주입할 경우 5~30KeV의 에너지에서 $1.0E12 \sim 5E13$ ions/ cm^2 의 도우즈량으로 주입하고, 비소 이온을 주입할 경우 10~100KeV의 에너지에서 $1.0E12 \sim 5E13$ ions/ cm^2 의 도우즈량으로 주입한다.

이와 같이 저농도 불순물 주입 영역(307)과 그 하부의 펀치-스톱 도핑층(312)의 이중 펀치 스톱(dual punch stop) 도핑층에 의해 PMOS 트랜지스터의 펀치 스텔 현상을 방지할 수 있다.

제 2 감광막 패턴(311)을 제거한 후 추가적인 열공정에 의해 각 도핑층의 활성화(activation)가 이루어지고, 원하는 전기적 특성을 갖는 CMOS 구조가 완성된다.

그후의 공정은 일반적으로 알려진 방법들에 의해 소자의 종류에 따라 층간 절연막 형성 공정, 콘택 형성 공정, 상호 연결(interconnection) 형성 공정 및 캐패시터 형성 공정 등을 거쳐 소자의 제조가 완료된다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 기존의 일반적인 단일 LOD 구조를 형성하는 공정에 비해 N형 불순물을 큰 기울기로 주입하는 하나의 공정을 추가하여 0.3~0.1 μm 의 게이트 길이를 갖는 숏 채널(short channel) CMOS 트랜지스터의 형성이 가능하고, 이중 LOD 구조에 비해 공정이 매우 단순하다.

(5) 청구의 범위

청구항 1

반도체 기판 상부에 소자 분리막을 형성하여 NMOS 및 PMOS 트랜지스터 형성 영역을 확정된 후 상기 트랜지스터 형성 영역 각각에 이온 주입 공정에 의한 P-웰 영역 및 N-웰 영역을 각각 형성하는 단계와,

상기 반도체 기판 상부의 선택된 영역에 게이트 산화막 및 게이트 전극을 형성한 후 저농도의 N형 불순물을 전면에서 이온 주입하여 저농도 불순물 주입 영역을 형성하는 단계와,

상기 게이트 전극 및 게이트 산화막 측벽에 스페이서를 형성한 후 상기 NMOS 트랜지스터 형성 영역에 고농도 불순물 주입 영역을 형성하는 단계와,

상기 PMOS 트랜지스터 형성 영역에 고농도 불순물 주입 영역을 형성하는 단계와,

상기 PMOS 트랜지스터 형성 영역에 N형 불순물을 이온 주입하여 이미 형성된 저농도 불순물 주입 영역의 하부에 펀치-스톱 도핑층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 저농도 불순물 주입 영역은 인 및 비소 중 어느 하나의 이온을 주입하여 형성하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 3

제 2 항에 있어서, 상기 인 이온은 20KeV 이하의 에너지에서 $1.0E12$ 내지 $5E14$ ions/ cm^2 의 도우즈량으로 주입하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 4

제 2 항에 있어서, 상기 비소 이온은 50KeV 이하의 에너지에서 $1.0E12$ 내지 $5E14$ ions/ cm^2 의 도우즈량으로 주입하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 5

제 1 항에 있어서, 상기 펀치 스톱 도핑층은 인 및 비소 중 어느 하나의 불순물을 10° 내지 60° 의 기울기로 양방향 또는 그 이상의 방향으로 이온 주입하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 6

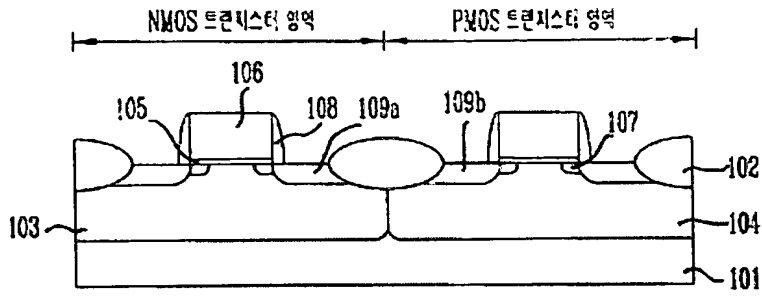
제 5 항에 있어서, 상기 인 이온은 5 내지 30KeV의 에너지에서 $1.0E12$ 내지 $5E13$ ions/ cm^2 의 도우즈량으로 주입하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

청구항 7

제 5 항에 있어서, 상기 비소 이온은 10 내지 100KeV의 에너지에서 $1.0E12$ 내지 $5E13$ ions/ cm^2 의 도우즈량으로 주입하는 것을 특징으로 하는 씨모스 트랜지스터의 제조 방법.

도면

도면1



도면2

